

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.

Requested Patent: JP9055475A  
Title: SEMICONDUCTOR DEVICE AND ITS MANUFACTURE ;  
Abstracted Patent: JP9055475 ;  
Publication Date: 1997-02-25 ;  
Inventor(s): MISAWA KOTARO ;  
Applicant(s): SEIKO EPSON CORP ;  
Application Number: JP19950204537 19950810 ;  
Priority Number(s): ;  
IPC Classification: H01L27/10 ; H01L21/82 ;  
Equivalents:

ABSTRACT:

**PROBLEM TO BE SOLVED:** To make up a part which can be easily programmed so as to decrease a program voltage by a method wherein a lower conductive wiring layer is formed on a first insulating film on a semiconductor substrate, and an anti-fuse is provided onto the stepped part of the lower conductive wiring layer. **SOLUTION:** A gate insulating film 102 is formed on a semiconductor substrate 101, and a gate electrode 104 is formed through the intermediary of the gate insulating film 102. An oxide film 103 is formed on the side wall of the gate electrode 104, and a lower conductive wiring layer 106 is formed above the gate electrode 104 through the intermediary of a first insulating film 105. Furthermore, a second insulating film 107 and an upper conductive wiring layer 109 are formed, and a connection hole is bored to connect the lower conductive wiring layer 106 to the upper conductive wiring layer 109, and amorphous silicon 108 is deposited inside the connection hole between the stepped part of the lower conductive wiring layer 106 and the upper conductive wiring layer 109 through a chemical vapor growth method for the formation of an anti-fuse. Therefore, a part which can be easily programmed is formed, whereby a program voltage can be reduced.

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-55475

(43) 公開日 平成9年(1997)2月25日

(51) Int.Cl.<sup>a</sup>

H 01 L 27/10  
21/82

識別記号

4 3 1

序内整理番号

F I

H 01 L 27/10  
21/82

技術表示箇所

4 3 1  
F

審査請求 未請求 請求項の数3 OL (全5頁)

(21) 出願番号 特願平7-204537

(22) 出願日 平成7年(1995)8月10日

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72) 発明者 三沢 孝太郎

長野県諏訪市大和3丁目3番5号 セイコ  
ーエプソン株式会社内

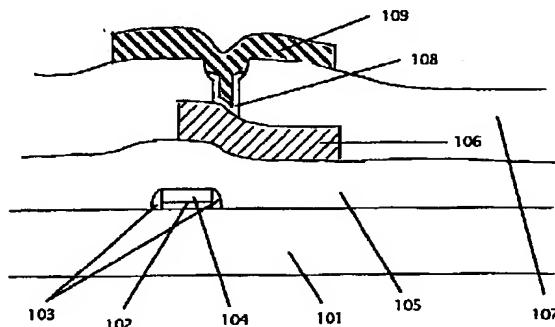
(74) 代理人 弁理士 鈴木 喜三郎 (外1名)

(54) 【発明の名称】 半導体装置とその製造方法

(57) 【要約】

【構成】 半導体装置のアンチヒューズ形成に関する。ゲート電極104によって下層導電配線層106に段差をつけ、その段差の部分に上層導電配線層109との接続孔を設ける。その際、接続孔は下層導電配線層の段差の部分に開孔させる。その場合接続孔は、多結晶シリコンによる段差、または素子を電気的に分離するために選択酸化によって形成されるLocosによる段差、またはLocos上に多結晶シリコンを形成することによってできる段差上に開孔する。アンチヒューズはこうした接続孔部にのみ形成する。

【効果】 下層導電配線層の段差の部分にのみヒューズを形成することにより、ヒューズに鋭角な部分ができ、その鋭角な部分に電界が集中することによりブレイクしやすくなる。こうしてアンチヒューズのブレイク電圧を低く抑え、かつブレイク電圧のばらつき、すなわちプログラム電圧のばらつきを抑えることができる。



## 【特許請求の範囲】

【請求項1】半導体基板上の第一絶縁膜上に形成された下層導電配線層、前記下層導電配線層上に形成された第二絶縁膜、前記第二絶縁膜上に形成された上層導電配線層及び、前記上層、下層導電配線層を接続するための接続孔を有し、前記接続孔に前記上層導電配線層と前記下層導電配線層に挟まれるようにアモルファスシリコンを堆積し、アンチヒューズを形成する半導体装置において、前記下層導電配線層の段差の部分にアンチヒューズを設けたことを特徴とする半導体装置。

【請求項2】前記アンチヒューズを選択する選択トランジスタを有し、前記下層導電配線層の一部が前記選択トランジスタのゲート上に配置され前記段差を形成してなることを特徴とする請求項1記載の半導体装置。

【請求項3】半導体基板上に第1の絶縁膜を形成する工程と、前記第1の絶縁膜上に第1の導電配線層を形成する工程と、前記第1の導電配線層上に第2の絶縁膜を形成する工程と、前記第2の絶縁膜上に第2の導電配線層を形成する工程と、前記第1の導電配線層の段差部に前記第1の導電配線層と前記第2の導電配線層とを接続するための接続孔を設ける工程と、前記接続孔にアンチヒューズを設ける工程とを有することを特徴とする半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は半導体装置のアンチヒューズ形成に関する。

## 【0002】

【従来の技術】小容量のROMとして利用されるアンチヒューズを、半導体基板上に形成する際の従来構造を図7に示す。

【0003】半導体基板101上にゲート絶縁膜102を介してゲート電極104を形成する。さらにゲート側壁103を形成する。そして第一絶縁膜105を介し、その上部に下層導電配線層106を形成する。さらに第二絶縁膜107、上層導電配線層109を形成し、前記下層導電配線と前記上層導電配線層を接続するための接続孔部を有し、その前記接続孔部の前記下層導電配線層と前記上層導電配線層との間にアモルファスシリコン108を化学的気相成長法によって堆積させることでヒューズを形成している。そしてこれまでヒューズを形成する場合、下地の前記下層導電配線層の形状に関しては特に制限を設けていなかった。

## 【0004】

【発明が解決しようとする課題】従来の技術においては、下記のような問題点を有していた。

【0005】先の従来の技術のところでも述べたようにこれまでチップ内の場所、また下地の形状によらずにアンチヒューズが形成されていた。その場合に起こる問題として下地の前記下層導電配線層に段差がある場合に

前記接続孔の深さが段差の上部と下部で異なってしまう。深さの異なる接続孔をエッチングする場合、深い接続孔にあわせてエッチング時間が設定されるため浅い接続孔では下層導電配線層の表面がエッチングによりわずかではあるが削り取られてしまい、そのために浅い接続孔に形成したヒューズと、深い接続孔に形成したヒューズではヒューズの形状が異なってしまう。また下地の前記下層導電配線層に段差がつき、その段差の部分にヒューズが形成される場合もあり、その場合には当然の如く下地が平らな部分に形成したヒューズと形状が異なってしまう。ヒューズの形状が異なるとプログラム電圧の値が異なってしまい、またそのばらつき方も異なってくる。

【0006】この場合次に述べることが問題として挙げられる。プログラム電圧が高いとデータの書き込み後の抵抗が高くなってしまい、またマイグレーション耐性も悪くなってしまう。またプログラム電圧がばらつくとデータ書き込み後の抵抗もばらついてしまう。そこで本発明はこのような問題を解決するもので、その目的とするところはアンチヒューズでブレイクしやすい部分、すなわちプログラミングしやすい部分を作ることでプログラム電圧を低く抑え、またプログラム電圧のばらつきを抑えることができる半導体装置を提供するところにある。

## 【0007】

【課題を解決するための手段】本発明による半導体装置は、半導体基板上の第一絶縁膜上に形成された下層導電配線層、前記下層導電配線層上に形成された第二絶縁膜、前記第二絶縁膜上に形成された上層導電配線層及び、前記上層、下層導電配線層を接続するための接続孔を有し、前記接続孔に前記上層導電配線層と前記下層導電配線層に挟まれるようにアモルファスシリコンを堆積し、アンチヒューズを形成する半導体装置において、前記下層導電配線層の段差の部分のみにアンチヒューズを形成することを特徴とする。

【0008】また半導体基板上の第一絶縁膜上に形成された下層導電配線層、前記下層導電配線層上に形成された第二絶縁膜、前記第二絶縁膜上に形成された上層導電配線層及び、前記上層、下層導電配線層を接続するための接続孔を有し、前記接続孔に前記上層導電配線層と前記下層導電配線層に挟まれるようにアモルファスシリコンを堆積し、アンチヒューズを形成する半導体装置において、ヒューズを形成したい場所に段差を設けるために前記第一絶縁膜と下層導電配線層との間に多結晶シリコンを部分的に堆積させ、その上に絶縁膜を形成し、下層導電配線層に段差を付けることを特徴とする。

## 【0009】

【実施例】本発明における第一の実施例の断面図を図1に示す。101は半導体基板、102はゲート絶縁膜、103はゲート側壁、104はゲート電極、105は第一絶縁膜、106は下層導電配線層、107は第二絶縁

膜、108はアモルファスシリコン、109は上層導電配線層を示している。

【0010】半導体基板101上にゲート絶縁膜102を形成し、前記ゲート絶縁膜を介してゲート電極104を形成する。さらにゲートの側壁に酸化膜103を形成する。そして第一絶縁膜105を介し、その上部に前記下層導電配線層106を形成する。さらに第二絶縁膜107、上層導電配線層109を形成し、前記下層導電配線と前記上層導電配線層を接続するための接続孔部を有し、その前記接続孔部に前記下層導電配線層と前記上層導電配線との間にアモルファスシリコン108を化学的気相成長法によってデポすることでヒューズを形成している。

【0011】次に本発明による第一の実施例の製造方法を図2～図5に基づき説明する。

【0012】まず半導体基板101上にゲート酸化膜102をシリコン酸化膜により150～200Å形成し、その上に多結晶シリコンを化学的気相成長法、モリブデンシリサイドをスパッタ法によってそれぞれ2000Å程度堆積させ、フォトリソグラフィ及びエッチングによってゲート電極104を形成する。その後全面にシリコン酸化膜を2000～4000Å程度堆積し、RIE (Reactive Ion Etching) によってエッチングすることによりゲート電極の側壁103を形成する必要もある。この状態を示す図が図2である。

【0013】その後シリコン酸化膜、BPSG膜からなる第一絶縁膜を10000Å程度形成し、下層導電配線層をスパッタ、フォト、エッチングによって形成する。この状態を示す図が図3である。

【0014】さらにNSG膜からなる第二絶縁膜を形成する。第二絶縁膜を形成する際にはまず4000～600Å堆積させ、それから例えば有機SOGを塗布し、エッチバックするなどすることにより表面を平坦化してからさらにNSG膜を5000～6000Å堆積せるとよい。その後ヒューズを形成するための接続孔を等方性のウエットエッチ、異方性のドライエッチによって形成する。その際前記接続孔は前記下層導電配線層の段差の部分に開孔させる。その場合前記接続孔は前記多結晶シリコンによる段差、または素子を電気的に分離するために選択酸化によって形成されるLocos (Local oxidation of silicon) による段差、または前記Locos上に前記多結晶シリコンを形成することによってできる段差上に開孔する。この状態を示す図が図4である。

【0015】そして全面にアモルファスシリコンを堆積し、前記接続孔の下部にのみアモルファスシリコンが残るようにフォトリソグラフィ及びエッチングを行う。その後下層導電配線層の形成と同様の方法で上層導電配線層を形成する。この状態を示す図が図5である。

【0016】以上が本発明における第一の実施例の製造方法である。

【0017】次に本発明の第2の実施例における半導体装置の断面図を図6に示す。本発明の第2の実施例における製造方法を説明する。

【0018】第一絶縁膜の形成までは第一の実施例と同様である。第一絶縁膜上に全面に多結晶シリコンを化学的気相成長法により形成し、フォトおよびエッチングにより部分的に多結晶シリコンを残し、段差を付ける。さらにその上に絶縁膜を形成する。それから下層導電配線層を形成し、その後の工程については第1の実施例と同様である。

【0019】この場合、多結晶シリコンのエッジと接続孔のエッジとの横方向の間隔は多結晶シリコンのエッジを中心とすると左右それぞれ0.5μm程度ずれてもよい。図8に下地が平らなところにヒューズを形成した場合、図9に下地が段差になっているところにヒューズを形成した場合の半導体装置の断面図を示す。また図10にこの両者の場合のプログラム電圧値を示す。図10に示すように、下地が段差になっている場合のプログラム電圧は7～8Vに対し、下地が平らな場合のプログラム電圧は7.5～9.5となり下地が段差になっているところにヒューズを形成した方がプログラム電圧が低く、ばらつきも抑えられている。

【0020】段差部にヒューズを形成しなければならず、ヒューズの形成場所を制限してしまうことになるが、従来の製品においてはデザインルール上、下地が平らな場所にヒューズが形成されることは少ないため、下地が段差になっているところにのみヒューズを形成することはそれほど問題にならないのではないかと思われる。

【0021】前記実施例のように下層導電配線層の段差の部分にのみヒューズを形成することによりヒューズに鋭角な部分ができ、その鋭角な部分に電界が集中することによりブレイクしやすくなる。このようにブレイクしやすい部分を形成することによりプログラム電圧のばらつきを抑えることができる。また段差は、ヒューズ1個につき必ず選択トランジスタが1個設けられるので、そのトランジスタのゲート電極による段差を利用することができ、わざわざ段差を形成することもない。

【0022】

【発明の効果】以上に述べた本発明によると、半導体基板上にアンチヒューズを形成する半導体装置においてアンチヒューズのプログラム電圧を低く抑え、またプログラム電圧のばらつきを抑えることができる。

【図面の簡単な説明】

【図1】本発明の半導体装置の第1の実施例を示す断面図。

【図2】本発明の半導体装置の製造方法の第1の実施例を工程順に説明するための断面図。

【図3】本発明の半導体装置の製造方法の第2の実施例を工程順に説明するための断面図。

【図4】本発明の半導体装置の製造方法の第1の実施例を工程順に説明するための断面図。

【図5】本発明の半導体装置の製造方法の第1の実施例を工程順に説明するための断面図。

【図6】本発明の半導体装置の第2の実施例を示す断面図。

【図7】本発明の従来構造を示す断面図。

【図8】本発明に関する半導体装置の断面図。

【図9】本発明に関する半導体装置の断面図。

【図10】ヒューズの形状によるプログラム電圧の違いを示すグラフ。

【符号の説明】

101 半導体基板

102 ゲート酸化膜

103 ゲート側壁

104 ゲート電極

105 第一絶縁膜

106、203 下層導電配線層

107、204 第二絶縁膜

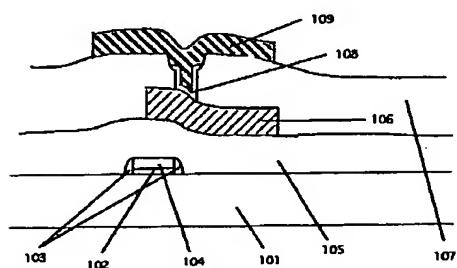
108、205 アモルファスシリコン

109、206 上層導電配線層

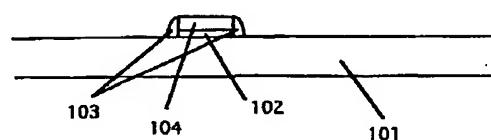
201 多結晶シリコン

202 層間絶縁膜

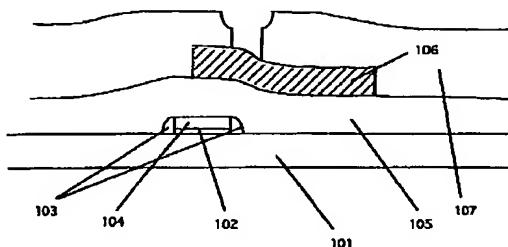
【図1】



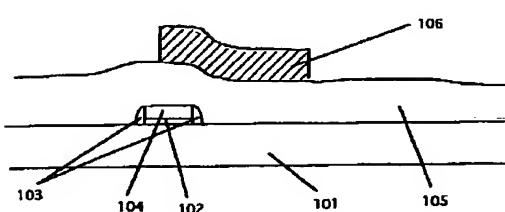
【図2】



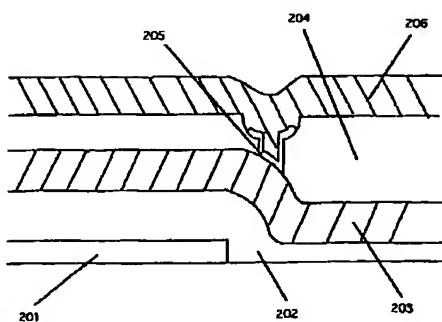
【図4】



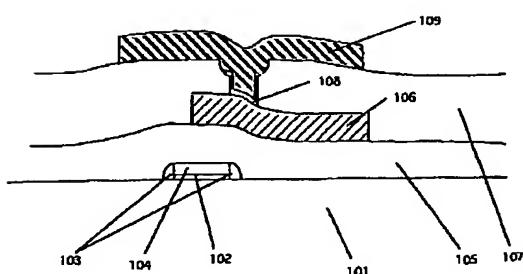
【図3】



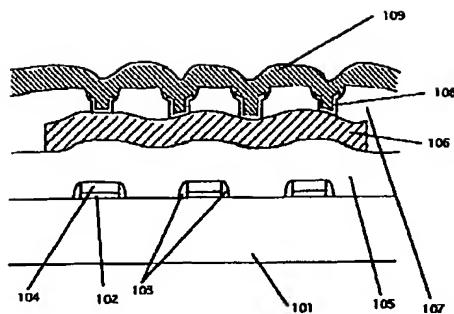
【図6】



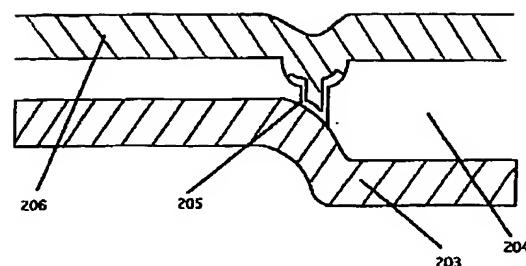
【図5】



【図7】



【図8】



【図10】

【図9】

